

Titolo del progetto: *Moduli analogici a basso consumo per applicazioni in ambito IoT*

Titolo in Inglese: *Low-power analog circuit blocks for IoT applications*

### *Progetto di ricerca*

L'attività, svolta nell'ambito del laboratorio congiunto fra STMicroelectronics e ARCES, riguarda il progetto, la caratterizzazione ed il collaudo di circuiti integrati in tecnologia ST a basso consumo per applicazioni in ambito IoT.

In nodi di reti di sensori wireless i ricetrasmittitori a RF sono responsabili della maggiore parte del consumo. Se da un lato il picco di potenza assorbita avviene in corrispondenza delle fasi di trasmissione, dall'altro il solo ricevitore mantenuto sempre attivo consuma una importante frazione dell'energia totale. Per ridurre questi consumi due sono le tematiche di ricerca proposte: il progetto di moduli ultra-low-power per wake-up radio e il progetto di moduli analogici per realizzare con tecniche a basso consumo parte dell'elaborazione sui nodi stessi riducendo la quantità di dati da trasmettere.

La prima tematica di ricerca riguarda quindi il progetto di circuiti a bassissimo consumo ( $< 100$  nA) per il risveglio di sistemi wireless ("wake-up-radio"). Compito di un ricevitore "wake-up" è infatti quello di "ascoltare" il canale e attivare il ricevitore principale solo quando il nodo deve ricevere dei dati. In particolare, l'attività si concentra sul front-end analogico e sul progetto di moduli circuitali in cui i transistori funzionano in regione sottosoglia per ottenere consumi dell'ordine del nW. L'attività prevede di valutare il trade-off fra bit-rate e sensibilità confrontando le prestazioni di soluzioni che si basano sull'impiego di stadi passivi costituiti da transistori connessi a diodo ad altre che richiedono uno stadio di amplificazione LNA all'ingresso RF. Si confronteranno le soluzioni in termini di consumo, bit-rate e sensitivity.

Al fine di ridurre il flusso dei dati da trasmettere wireless, una soluzione consiste nell'effettuare l'elaborazione dei dati direttamente in memoria e, in particolare, in forma analogica. La seconda tematica di ricerca si concentrerà quindi sullo studio e la realizzazione di blocchi analogici che permettano di aggiungere a una memoria standard digitale la capacità di elaborare direttamente in memoria l'informazione. Realizzare l'elaborazione dei dati direttamente in memoria permette infatti di evitare il costoso trasferimento dei dati fra CPU e memoria, mentre l'applicazione delle leggi di Ohm e Kirchhoff a segnali in tensione e corrente permette di effettuare in modo efficiente operazioni di somma e prodotto. Come dispositivo di memoria per Analog-In-Memory Computing (AIMC), sempre più interesse stanno acquisendo le memorie non volatili a cambiamento di fase (PCM): gli elementi della memoria sono conduttanze che possono essere programmate a differenti valori e organizzate in una matrice per realizzare in modo efficace operazioni di prodotto matrice-vettore. Numerosi problemi devono però essere affrontati e risolti affinché le tecniche di AIMC possano essere effettivamente realizzate. Prima di tutto, le memorie PCM sono ottimizzate come memorie binarie, mentre il vantaggio dell'elaborazione analogica rispetto all'elaborazione digitale cresce se la conduttanza della cella può essere programmata per assumere più valori. Questo richiede algoritmi di programmazione non convenzionali, per la progettazione dei quali si può tenere conto che per le applicazioni di edge-computing è ragionevole pensare che la memoria debba essere programmata raramente e che quindi i vincoli sulla durata della fase di programmazione siano meno severi. In secondo luogo, i circuiti di elaborazione, soprattutto se la memoria è multi-livello, devono tenere conto di fenomeni di deriva temporale, di dispersione spaziale del valore di conduttanza e di non linearità della caratteristica I/V della cella di memoria. L'attività di ricerca proposta si concentrerà su questo secondo aspetto e cioè sullo studio di architetture e blocchi circuitali analogici di interfaccia alla matrice di celle di memoria PCM al fine

di effettuare operazioni di prodotto matrice/vettore in modo efficiente dal punto di vista energetico.

#### *Piano di attività e di formazione*

L'attività prevede in una fase iniziale lo studio della letteratura esistente e l'utilizzo di chip prototipali già a disposizione del gruppo di ricerca proponente l'Assegno di moduli di Wake-up e di memorie PCM al fine di studiare le possibili azioni a livello architetturale e circuitale per il loro utilizzo in nodi IoT. In una seconda fase si passerà al progetto dei blocchi analogici in una tecnologia CMOS resa disponibile da STMicroelectronics. L'obiettivo finale sarà la realizzazione e caratterizzazione di un prototipo per valutarne le prestazioni in confronto con la letteratura per alcune applicazioni di interesse.

Il progetto intende creare una figura di ricercatore nell'area della progettazione circuitale a livello di transistori. La formazione dell'assegnista sarà completata da discussioni all'interno del gruppo di ricerca con colleghi e docenti, preparazione di rapporti e presentazioni periodiche interne, presentazione degli aspetti innovativi dei risultati ottenuti a conferenze internazionali del settore e pubblicazioni di articoli su riviste specializzate.